

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353214

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H01L 21/316  
H01L 21/8242  
H01L 27/108

(21)Application number : 2001-155518

(71)Applicant : NEC CORP  
HITACHI LTD

(22)Date of filing : 24.05.2001

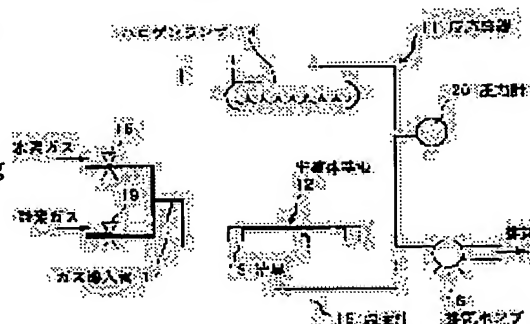
(72)Inventor : TSUYUKI MAKI

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To oxidize the surface (interface) of an insulation film uniformly with good film quality, even if the surface has uneven steps and a rugged shape.

**SOLUTION:** The surface of the insulation layer is oxidized by an internal combustion wet oxidation which introduces an hydrogen-containing gas (such as a hydrogen gas) and an oxygen-containing gas (such as an oxygen gas) into a reaction chamber 11. This method is suited for manufacturing a capacitive film used for capacitors in a memory cell.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-353214  
(P2002-353214A)

(43) 公開日 平成14年12月6日 (2002.12.6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 1 L 21/316		H 0 1 L 21/316	S 5 F 0 5 8
21/8242		27/10	6 2 1 C 5 F 0 8 3
27/108			6 5 1

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21) 出願番号 特願2001-155518(P2001-155518)

(22) 出願日 平成13年5月24日 (2001.5.24)

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(71) 出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 露木 麻紀

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

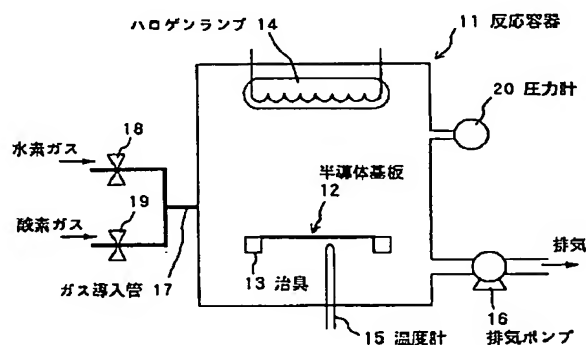
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 段差や凹凸のある表面形状であっても、絶縁層の表面 (界面) を均一にかつ膜質よく酸化することができようにする。

【解決手段】 水素含有ガス (例えば酸素ガス) と酸素含有ガス (例えば酸素ガス) とを反応容器 11 内に導入して行なう内燃式ウェット酸化により、絶縁層の表面を酸化する。この方法は、例えば、メモリセル内のキャパシタに用いられる容量膜の形成に適している。



【特許請求の範囲】

【請求項1】 絶縁層を有する半導体装置の製造方法において、  
水素含有ガスと酸素含有ガスとを反応容器内に導入して  
行なう内燃式ウェット酸化により前記絶縁層の表面を酸化  
する段階を含むことを特徴とする、半導体装置の製造  
方法。

【請求項2】 絶縁層と前記絶縁層上に形成された金属  
酸化物層とを有する半導体装置の製造方法において、  
水素含有ガスと酸素含有ガスとを反応容器内に導入して  
行なう内燃式ウェット酸化により前記金属酸化物層を介  
して前記絶縁層の前記金属酸化物層側の界面を酸化する  
段階を含むことを特徴とする、半導体装置の製造方法。

【請求項3】 前記内燃式ウェット酸化を400℃以上  
1100℃以下の温度範囲で実行する請求項1または2  
に記載の半導体装置の製造方法。

【請求項4】 前記内燃式ウェット酸化を600℃以上  
900℃以下の温度範囲で実行する請求項1または2に  
記載の半導体装置の製造方法。

【請求項5】 前記反応容器に供給されるガスにおける  
前記水素含有ガスと前記酸素含有ガスの分圧の合計に対  
する前記水素含有ガスの分圧の比が、0.005以上  
0.8以下である請求項1乃至4いずれか1項に記載の  
半導体装置の製造方法。

【請求項6】 前記反応容器に供給されるガスにおける  
前記水素含有ガス及び前記酸素含有ガスの分圧の合計に  
対する前記水素含有ガスの分圧の比が、0.01以上  
0.5以下である請求項1乃至4いずれか1項に記載の  
半導体装置の製造方法。

【請求項7】 前記反応容器内での前記水素含有ガス及  
び前記酸素含有ガスの分圧の合計を133Pa以上4k  
Pa以下とする請求項5または6に記載の半導体装置の  
製造方法。

【請求項8】 前記反応容器内での前記水素含有ガス及  
び前記酸素含有ガスの分圧の合計を1.0kPa以上  
2.67kPa以下とする請求項5または6に記載の半  
導体装置の製造方法。

【請求項9】 前記絶縁層が窒化シリコン層である請求  
項1乃至8いずれか1項に記載の半導体装置の製造方  
法。

【請求項10】 前記金属酸化物層が、酸化タンタル、  
チタン酸ストロンチウム、チタン酸ストロンチウムバリ  
ウム、ジルコン酸チタン酸鉛、チタン酸スズからなる群  
から選ばれた1種の層である請求項1乃至9いずれか1  
項に記載の半導体装置の製造方法。

【請求項11】 前記水素含有ガスが水素ガスであり、  
前記酸素含有ガスが酸素ガスである請求項1乃至10の  
いずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造  
方法に関し、特に、絶縁体からなる層の表面を酸化する  
方法に関する。

【0002】

【従来の技術】半導体製造プロセスの微細化に伴って、  
半導体装置内で使用される絶縁膜、誘電体膜としても、  
より薄くて電気的特性に優れた膜が要求されるようになって  
きている。例えば、DRAM（ダイナミック・ラン  
ダム・アクセス・メモリ）のメモリセル内に設けられる  
キャパシタについて言えば、半導体製造プロセスが微細  
になるにつれてメモリセル1個あたりの面積を小さく  
し、その分、メモリ装置1個あたりの記憶容量を増大さ  
せているが、いわゆるソフトエラー等の問題もあって、  
メモリセルの面積に比例してキャパシタの容量を小さく  
するわけにはいかない。そこで、従来は単純な平面構成  
であったキャパシタを、例えばトレンチメモリセルと称  
せられるように立体的な構成にしたり、使用される誘電  
体膜として酸化シリコンに比べて誘電率の高い例えば窒  
化シリコン膜や酸化タンタル（ $Ta_2O_5$ ）膜を用いた  
り、誘電体膜を薄くするなどのことが試みられている。

【0003】しかしながら、誘電体膜を薄くすると、絶  
縁耐圧が低下したり、リーク電流等が増えついでにはメモ  
リセルのキャパシタとして機能しなくなったり、膜とし  
ての信頼性に劣るなどの問題が生じる。特にこの現象  
は、誘電体膜として酸化タンタルなどを用いた場合など  
に顕著である。そこで、誘電体膜を異なる複数の層の積  
層構造とすることにより、膜中のピンホールなどをつぶ  
したり膜中の空孔の影響を減らしたりして電気的特性を  
向上させることが試みられている。例えば、誘電体膜と  
して窒化シリコン膜を用いる場合であれば、その表面を  
酸化させて酸化窒化シリコン層とする。また、誘電体膜と  
して酸化タンタルを用いる場合であれば、ごく薄い窒化  
シリコン膜を形成し、その上に酸化タンタル膜を形成  
し、さらに酸化プロセスによって酸化タンタル膜との界  
面近傍の窒化シリコン膜を酸化させて酸化窒化シリコン層  
としたものを実際の誘電体膜として使用している。結  
局、メモリセル内のキャパシタを構成するための誘電体  
膜については、窒化シリコン膜などの絶縁体の表面を酸  
化することによって、複数種類の絶縁体（誘電体）が積  
層した構成とし、これによって、リーク電流の低減、膜  
自体の安定性・均一性の向上などを図っている。

【0004】以上では、メモリセルのキャパシタ誘電体  
膜において誘電体膜をより薄くしたときの問題点とそれ  
に対する対策を述べたが、同様の問題点は、半導体装置  
中において使用される、メモリセルのキャパシタ誘電体  
膜以外の絶縁膜においても起こり得るものである。した  
がって、窒化シリコン膜などの絶縁体の表面（界面）を  
酸化することによって複数種類の絶縁体（誘電体）が積  
層した構成とすることは、プロセスルールの微細化に伴  
って、半導体製造プロセスにぜひとも組み込まなければ

ならないことであると考えられる。

【0005】

【発明が解決しようとする課題】絶縁体の表面（界面）を酸化する従来の方法には、以下に述べるような問題点がある。

【0006】窒化シリコン膜の表面を酸化する場合には、従来、反応容器の外部で水素と酸素とを反応させて水蒸気を生成し、この水蒸気を反応容器内に導入するとともに加熱するウェット式の酸化方法が用いられていた。しかしながらこの方法の場合、窒化シリコン膜は化学的に酸化されにくい性質を有することもあって、750℃で40分程度とかなりの処理時間（酸化時間）を要する。さらに、ウェット式の酸化方法によって生成した酸窒化シリコン膜の膜質の均質性、膜厚の均一性の点でも十分なものが得られない、という問題点がある。

【0007】窒化シリコン膜上に酸化タンタル膜を形成した後、酸化プロセスによって酸化タンタル膜との界面近傍の窒化シリコン膜を酸化させて酸窒化シリコン層とする場合には、まず、600℃での急速プラズマ酸化（RPO；rapid plasma oxidation）により、酸化タンタル／窒化シリコン界面近傍の窒化シリコンを酸化し（あわせて酸化タンタル膜の膜質の向上を図り）、酸素ガスを反応容器内に直接導入する800℃での急速熱酸化（RTO；rapid thermal oxidation）によって酸化タンタル膜を結晶化させている。しかしながらこの方法は、急速プラズマ酸化では酸素供給能力が不十分であって、窒化シリコン膜を十分に酸化するには酸化力が弱い、という問題点がある。また、酸化タンタルの結晶化に際して、100％酸素を用いる急速熱酸化を適用したとしても、同様に酸素供給能力が不十分である、という問題点がある。

【0008】これらの問題点を解決するためには、処理温度を高くする、あるいは処理時間を長くするなどの方策が考えられる。しかしながら、処理温度を高くしたり、処理時間を長くすることは、既に半導体基板上に形成されている素子に対するダメージを与えたり、所望の位置以外を酸化するおそれがある（例えば、シリコン半導体層の誘電体層側界面が酸化され、キャパシタの実質的な容量が減少することなどから、好ましくない。具体的には、高温であるいは長時間での熱処理を行なうことにより、半導体装置の電気的特性などの各種のパラメータが影響を受け、さらには、半導体装置内で使用している部材の意図しない結晶化や相変化が促進されることになる。また、酸化タンタル膜を使用している場合には、1000℃といった高温にさらすことは、極めて好ましくない。

【0009】さらにまた上述した酸化方法には、いずれも、段差や凹凸のある絶縁体の表面を均一に酸化するには適していない、という問題点もある。近年、メモリのキャパシタの単位面積、単位体積あたりの容量を

増加させるために、下部電極の形状をフィン型にしたり、HSG（半球状グレイン；hemisphere shaped grain）多結晶シリコン層を下部電極に用いたりするようになっており、これに対応して、容量膜も凹凸の多い表面上に形成されるようになってきている。したがって、容量膜の耐圧や膜質を向上するために絶縁膜表面の酸化を行なう場合には、アスペクト比の高い位置の容量膜、例えばフィン状の下部電極の奥の位置やHSG型下部電極でのグレインの付け根の位置の容量膜に対しても、均一に酸化処理を行なえることが必要となる。

【0010】本発明の目的は、段差や凹凸のある表面形状であっても、絶縁層の表面（界面）を均一にかつ膜質よく酸化することができる、半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】上述の本発明の目的を達成するために本発明者は鋭意検討を加えた結果、反応容器内に水素（ $H_2$ ）ガスなどの水素含有ガスと酸素ガス（ $O_2$ ）などの酸素含有ガスとを導入し、反応容器内の処理対象面の近傍で、これらのガスを反応させて水蒸気を生成させつつ処理対象面を酸化する内燃式ウェット酸化（ISSG；insitu steam generation）により、比較的低温かつ短時間で、絶縁層の表面（界面）である処理対象面に均質かつ良質な酸化膜を形成できることを見出し、本発明を完成させた。

【0012】すなわち本発明の第1の半導体装置の製造方法は、絶縁層を有する半導体装置の製造方法において、水素含有ガスと酸素含有ガスとを反応容器内に導入して行なう内燃式ウェット酸化（ISSG）により絶縁層の表面を酸化する段階を含むことを特徴とする。

【0013】また本発明の第2の半導体装置の製造方法は、絶縁層とこの絶縁層上に形成された金属酸化物層とを有する半導体装置の製造方法において、水素含有ガスと酸素含有ガスとを反応容器内に導入して行なう内燃式ウェット酸化（ISSG）により金属酸化物層を介して絶縁層の金属酸化物層側の界面を酸化する段階を含むことを特徴とする。

【0014】従来、ISSGは、シリコン層表面を酸化するために使用されており、その際の処理温度は1000℃以上と高いものであった。窒化シリコン膜をはじめとする絶縁層の表面を酸化するためにISSGを用いることは、これまで報告されていない。

【0015】本発明者の実験によれば、窒化シリコン膜は、当業者には周知であるように通常の条件ではシリコン半導体層に比べはるかに酸化されにくいものであるが、ISSGを用いた場合、後述するように、シリコン半導体層とオーダー的には同じ程度の酸化速度で窒化シリコン膜を酸化できることが分かった。これは、ISSGは極めて強い酸化力を有するためであると考えられる。しかも本発明者は、ISSGによれば、750℃～

850℃の処理温度で、さらにはこれよりも低い温度で、窒化シリコン膜を酸化できることを見出した。ここで述べたような処理温度は、ISSGに関して従来用いられていた処理温度よりもかなり低温である。すなわち、本発明者は、従来考えられていた処理温度よりも低温であってもISSGが有効であることを見出したのである。さらに、本発明者の実験によれば、ISSGを用いることで、段差被覆性のよい酸化膜を形成でき、角部なども確実に酸化でき、また、アスペクト比が大きい孔部の奥でも確実に酸化できることがわかった。これは、ISSGの場合、たかだか数十Paから数kPaの圧力での酸化のため、生成した活性種（酸素ラジカルなど）の平均自由行程が長くなり、孔部の奥深くまで活性種が進入できるためであると考えられる。また、処理対象面の結晶方位による依存性がないことも、ISSGの特色と考えられる。

【0016】本発明においては反応容器内に水素含有ガスと酸素含有ガスを導入するが、以下の説明においては、水素含有ガス及び酸素含有ガスとをまとめて反応ガスと呼ぶこととする。もちろん本発明において、このような反応ガスのほかに、窒素やアルゴンなどのキャリアガスあるいは希釈ガスを反応容器内に導入してISSGを行なわせてもよい。

【0017】水素含有ガスとは、酸素含有ガスと反応して水蒸気が発生されるガスのことであり、好ましくは水素( $H_2$ )ガスであるが、水素ガスに限定されるものではなく、アンモニア( $NH_3$ )や、メタン( $CH_4$ )などの炭化水素を用いることもできるし、これらの混合物であってもよい。酸素含有ガスとは、水素含有ガスと反応して水蒸気が発生させるガスのことであり、好ましくは酸素( $O_2$ )ガスのことであるが、酸素ガスに限定されるものではなく、一酸化二窒素( $N_2O$ )なども使用できる。

【0018】本発明において、ISSGは、400℃以上1100℃以下の温度範囲で実行することが好ましく、600℃以上900℃以下の温度範囲で実行することがより好ましく、750℃以上850℃以下の温度範囲で実行することがさらに好ましい。

【0019】本発明において、反応容器に供給されるガスにおける水素含有ガスと酸素含有ガスの分圧の合計に対する水素含有ガスの分圧の比は、0.005以上0.8以下とすることが好ましく、0.01以上0.5以下であることがより好ましく、0.03以上0.35以下とすることがさらに好ましい。

【0020】また本発明において、反応容器内の水素含有ガスと酸素含有ガスの分圧の合計（すなわち反応ガスの分圧）を133Pa以上4kPa以下とすることが好ましく、1.0kPa以上2.67kPa以下とすることがより好ましい。

【0021】本発明においては、酸化対象となる絶縁層

としては特に限定されるものではないが、この絶縁層は、例えば、窒化シリコン層である。また、絶縁層の上に形成されている金属酸化物層としては、特に限定されるものではないが、例えば、酸化タンタル、チタン酸ストロンチウム、チタン酸ストロンチウムバリウム(BST; barium-strontium-titanate)、ジルコン酸チタン酸鉛(PZT)、チタン酸スズからなる群から選ばれた1種の層である。

【0022】さらに本発明は、結晶化していない金属酸化物層を結晶化して良質な絶縁膜を得るためにも使用することができる。この場合、処理温度は対象となる金属酸化物の結晶化温度以上とすることが好ましい。本発明によれば、良質な絶縁膜となるには酸素が不足している金属酸化物層に十分に酸素を供給することができるので、結晶化によって良質な絶縁膜とすることができる。このような過程も本発明における酸化の範疇に含まれるものとする。

【0023】

【発明の実施の形態】次に、本発明の好ましい実施の形態について、図面を参照して説明する。

【0024】図1は、本発明の半導体装置の製造方法に用いられる反応装置の構成の一例を示す図である。この反応装置は、内燃式ウェット酸化(ISSG)により、半導体基板12上に形成された絶縁層の表面、例えば窒化シリコン膜の表面を酸化するのに適した構成のものである。もちろん、半導体基板12は、半導体装置の製造プロセスの途中にあるものであって、例えば、既にMOS(金属-酸化物-半導体)トランジスタなどが形成されているものである。

【0025】反応装置は、反応容器11を備えており、反応容器11内には、半導体基板12を保持する治具13と、半導体基板12を加熱するために半導体基板12に対向配置されるハロゲンランプ14と、ハロゲンランプ14で加熱された半導体基板12の温度、すなわちISSGでの処理温度を測定する温度計15とが設けられている。温度計15は、熱電対であってもよいし、導光用の光ファイバを備える光学式温度計であってもよい。さらに反応容器11には、反応容器11内を排気する排気ポンプ(真空ポンプ)16と、反応容器11内に水素( $H_2$ )ガス及び酸素( $O_2$ )ガスを導入するガス導入管17と、反応容器11内の圧力を測定する圧力計(真空計)20とが取り付けられている。ガス導入管17には、水素ガスの流量を調整するバルブ18と、酸素ガスの流量を調整するバルブ19とが設けられている。

【0026】次に、この反応装置を用い、半導体基板12上に形成されている絶縁層の表面を酸化するための手順について、窒化シリコン膜の表面を酸化する場合を例に挙げて説明する。

【0027】まず、反応容器11の図示しないトランスファゲートを介して、半導体基板12を反応容器11内

に搬入し、治具13に取り付ける。次に、排気ポンプ16により反応容器11内を所定圧力まで減圧し、ガス導入管17を介して水素ガスと酸素ガスとを反応容器11内に導入する。このとき、水素ガスの流量と酸素ガスの流量との比が例えば1:19となり、反応容器11内での水素ガスと酸素ガスの分圧の和が例えば1.2 kPa程度となるように、排気ポンプ16での排気速度とバルブ18, 19の開度とを調整する。

【0028】この状態で、ハロゲンランプ14を駆動し、半導体基板12を例えば800℃まで加熱する。すると、反応容器11内において、半導体基板12の近傍のガスもこの温度まで加熱され、水素ガスと酸素ガスとが反応し水（水蒸気）を生成する。この過程において、酸素ラジカルなどの活性種が生じ、この活性種が半導体基板12上の窒化シリコン膜の表面を酸化する。すなわち内燃式ウェット酸化（ISSG）によって窒化シリコン膜の表面が酸化されることになる。ここでは、ハロゲンランプ14を用いて、離れた位置から輻射によって半導体基板12を加熱しており、したがって、反応容器内の気体は、半導体基板12の近傍を除いては、ほとんど加熱されないこととなる。半導体基板12の近傍の気体は半導体基板12からの伝導及び対流によって半導体基板12とほぼ同温度に加熱され、そこに含まれる水素と酸素が反応することとなる。したがって、ISSGの実行温度（処理温度）は、半導体基板12の温度と実質的に同じであると考えることができる。

【0029】所定の時間、ISSGによる酸化を行ったら、ハロゲンランプ14を消灯して半導体基板12の加熱を中止し、反応容器11内に窒素ガスなどのパージガスを導入する。その後、不図示のトランスファゲート

を介して反応容器11内から半導体基板12を取り出せばよい。

【0030】図2は、ISSGにより、シリコンの表面を酸化する場合の、反応ガス（水素+酸素）の分圧と形成された酸化膜の厚さとの関係を示すグラフである。水素濃度が9原子%の場合には、反応ガスの分圧の上昇に伴って酸化膜の膜厚が低下する傾向がある。水素濃度が33原子%の場合には20 Torr（2.67 kPa）以下の領域で、9原子%の場合に比べて膜厚が厚くなり、特に、10 Torr～18 Torr（1.33 kPa～2.4 kPa）の領域で著しく膜厚が厚くなる。ここで示したのは、シリコン表面の酸化の場合であるが、10 Torr～18 Torr（1.33 kPa～2.4 kPa）の領域で膜厚が厚くなるのは、ISSGの反応過程において活性種が数多く生成してシリコン基板の表面に到達しているためと考えられ、このことから、窒化シリコン膜などの絶縁層の表面を酸化する場合であっても、反応ガスの分圧はこの程度の範囲であることが特に好ましいものであると考えられる。

【0031】以下、ISSGによる絶縁層の表面の酸化

について、詳しく説明する。図3は、ISSGによりシリコン表面に酸化膜を形成したときの酸化時間と酸化膜の厚さとの関係を示している。ここでのISSGの条件は、水素と酸素のみを反応容器内に導入するものとし、全圧を1.33 kPa、酸化温度を800℃とし、水素の濃度が5原子%の場合と10原子%の場合について調べた。

【0032】図4は、窒化シリコン膜の表面を酸化したときの、酸化温度800℃における、ISSGと通常のウェット酸化とを酸化時間と酸化膜の膜厚との関係を比較したグラフである。ISSGについては、水素と酸素のみを反応容器内に導入するものとし、全圧を1.2 kPa、水素の濃度を5原子%とした。ウェット酸化については、水蒸気のみを反応容器内に導入するものとし、全圧を0.95気圧（95 kPa）とした。図4から分かるように、ISSGによれば、通常のウェット酸化を用いた場合に比べ、厚い酸化膜を短時間で窒化シリコン膜上に形成できる。

【0033】ここで、同一の酸化条件でシリコン表面と窒化シリコン膜の表面を酸化したときの、シリコン表面上の酸化膜の厚さ $t_1$ と窒化シリコン膜表面の酸化膜の厚さ $t_2$ との比（ $t_1/t_2$ ）をm値（マスキング効果を程度を表す値）とする。すると、図3及び図4に示すように、ISSGの場合、800℃においてm値は約9である。これに対し、従来のウェット酸化（水蒸気のみを反応容器内に導入するものとし、全圧を0.95気圧（95 kPa））の場合のm値は20から200の間にあることが知られている（T.Enomoto et al., Jpn. J. Appl. Phys., 17(6), 1049-1058 (1978)）。図5は、ISSGと従来のウェット酸化でのm値の違いを説明するグラフである。ウェット酸化については、形成された酸化膜の厚さによるm値の変化も示した。このようにISSGは、従来の方法に比べて窒化シリコン膜をより酸化しやすく、半導体装置中における絶縁層の表面を酸化させるのに適した方法である。

【0034】従来、半導体メモリ装置のメモリセル内のキャパシタを形成する際、水蒸気を反応容器内に導入するウェット酸化法によって、例えば0.2～0.3 nmの厚さの酸化膜を、窒化シリコン膜上に形成していた。その際の酸化条件は、処理温度が750℃～900℃であって、処理時間が25分～1時間というものである。これに対し、本発明の方法に基づき、水素濃度を例えば5原子%とし、処理温度を800℃とするISSGにより窒化シリコン膜の表面を酸化するものとするれば、15秒で約0.2 nmの厚さの酸化膜が形成される。したがって、従来の半導体メモリ装置におけるものと同程度の厚さの酸化膜を窒化シリコン膜の表面に形成するのであれば、処理時間としては数秒で済むことになる。このように本発明によれば、処理時間を短縮できるので、プロセス全体を短縮することができるとともに、半導体基板が高温に曝される時間が短くなるので、半導体基板に既に形成されている素子や膜への悪影響を防ぐことができ

る。

【0035】以下、本発明の半導体装置の製造方法を実デバイスの製造プロセスに応用した例を説明する。

【0036】図6は、実デバイスの製造において窒化シリコン膜の表面を酸化する例を示している。ここでは、容量膜として窒化シリコン膜を用いてキャパシタを形成する場合を例に挙げて説明する。

【0037】まず、(a)に示すように、シリコン基板21上に層間絶縁膜22を形成し、層間絶縁膜22にコンタクトホールを形成した後、このコンタクトホールを介してシリコン基板21と接するように、層間絶縁膜22上に多結晶シリコンによって下部電極23を形成する。そして下部電極23を覆うように、容量膜となる窒化シリコン膜24を形成する。

【0038】次に、上述したISSGを用いる方法によって、窒化シリコン膜24の表面を酸化し、酸化層(酸化窒化シリコン層)25を形成する。その後、多結晶シリコンからなる上部電極26を形成することによって、キャパシタが完成する。

【0039】本発明による酸化方法によれば、良質な酸化膜を段差被覆性よく形成することができるので、このようにして形成されたキャパシタは、リーク電流が極めて小さく、かつ耐圧の高いものとなる。

【0040】図7は、実デバイスの製造において、酸化タンタル膜で覆われた窒化シリコン膜の酸化タンタル膜側の界面を酸化する例を示している。ここでは、いわゆるHSG構造の下部電極を備えるキャパシタの製造において、下部電極の最表面に位置する酸化タンタル膜を介してその下の窒化シリコン膜の表面を酸化する場合を説明する。

【0041】(a)に示すように、シリコン基板21上に層間絶縁膜(酸化膜)22が形成されており、層間絶縁膜22にはコンタクトホールが設けられている。このコンタクトホールを介してシリコン基板21に接続するように、多結晶シリコンからなる下部電極27が形成されている。下部電極27は、その上半分が円筒状となっており、その円筒面の内側に、多数の半球状の突起が形成されている。その突起部分の構成を拡大して示したものが(b)である。多結晶シリコン層28の一部が突起となっており、このような多結晶シリコン層28の表面には薄く(例えば厚さ7nm)窒化シリコン膜29が設けられ、さらにこの窒化シリコン膜29上に、窒化シリコン膜29よりも厚く酸化タンタル膜30が形成されている。

【0042】このようにHSG構造の下部電極を形成した後、次に、上述したISSGによって、窒化シリコン膜29の酸化タンタル膜30側の界面を酸化する。その場合、水素ガスと酸素ガスとが反応して生成した活性種は、酸化タンタル膜30内を透過して、窒化シリコン膜29の表面に到達し、窒化シリコン膜29の表面を酸化

することになる。その結果、(c)に示すように、窒化シリコン膜29の酸化タンタル膜30側の界面に酸化層31が形成される。

【0043】その後、下部電極27の円筒状の部分を充填するように、多結晶シリコンからなる上部電極を形成することにより、キャパシタが完成する。

【0044】ここでは、ISSGを用いていることにより、HSG構造における突起の根元部分などのように従来の酸化方法ではほとんど酸化することができなかったような部位でも窒化シリコン膜の表面を酸化することができる。したがって、このようにして形成されたキャパシタは、リーク電流が極めて小さく、かつ耐圧の高いものとなる。

【0045】

【発明の効果】以上説明したように本発明は、内燃式ウェット酸化(ISSG)を用いることにより、段差や凹凸のある表面形状であっても、低温でしかも短時間で、絶縁層の表面(界面)を均一にかつ膜質よく酸化することができるようになり、既に半導体基板上に形成されている素子に対するダメージを与えたり所望の場所以外を酸化したりすることがない、という効果がある。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法に用いられる反応容器の構成の一例を示す図である。

【図2】反応ガス(水素+酸素)の分圧とシリコン表面に形成された酸化膜の厚さとの関係を示すグラフである。

【図3】ISSGによりシリコン表面に酸化膜を形成したときの処理時間と酸化膜の厚さとの関係を示すグラフである。

【図4】ISSGとウェット酸化のそれぞれの方法で窒化シリコン膜の表面を酸化したときの酸化時間と酸化膜の膜厚との関係を示すグラフである。

【図5】ISSGとウェット酸化でのm値の違いを説明するグラフである。

【図6】窒化シリコン膜の表面を酸化する例を示す模式図である。

【図7】酸化タンタル膜で覆われた窒化シリコン膜の酸化タンタル膜側の界面を酸化する例を示す模式図である。

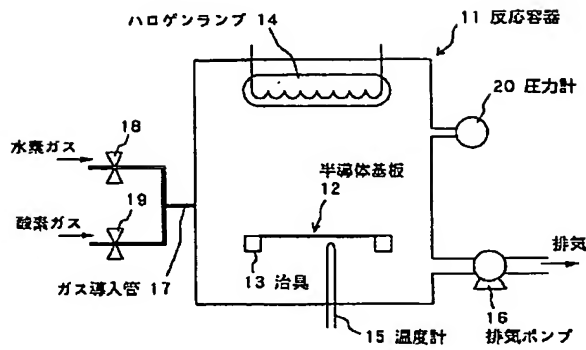
【符号の説明】

- 11 反応装置
- 12 半導体基板
- 13 治具
- 14 ハロゲンランプ
- 15 温度計
- 16 排気ポンプ
- 17 ガス導入管
- 18, 19 バルブ
- 20 圧力計

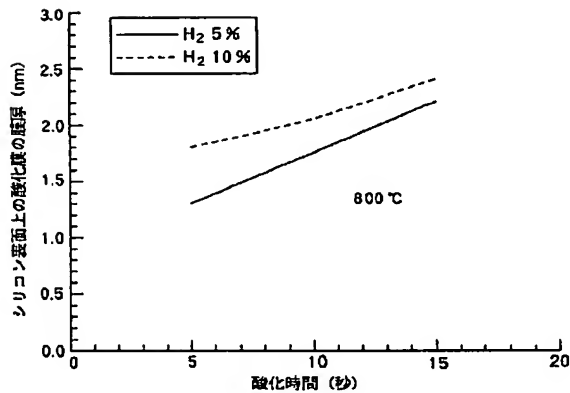


- 21 シリコン基板  
 22 層間絶縁膜  
 23, 27 下部電極  
 24, 29 窒化シリコン膜

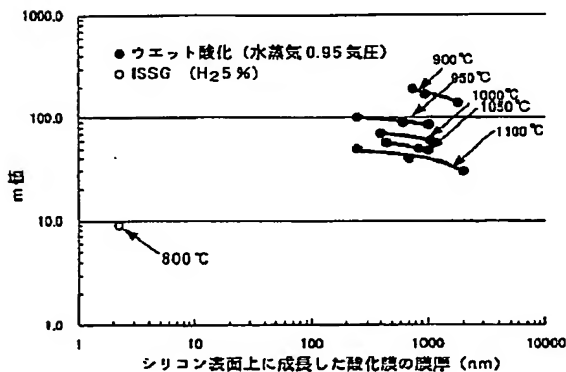
【図1】



【図3】

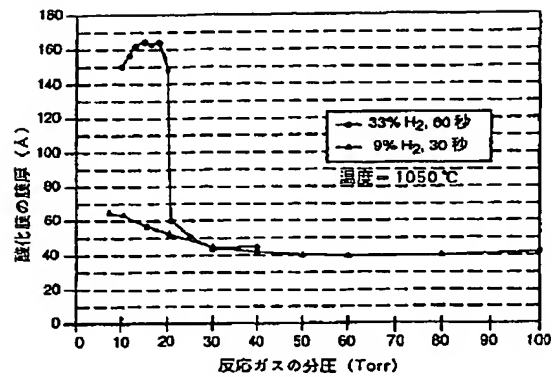


【図5】

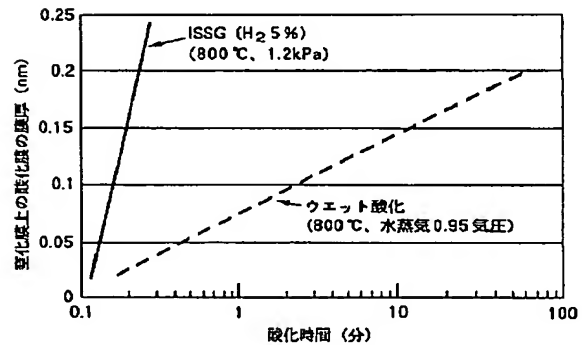


- \* 25, 31 酸化層  
 26 上部電極  
 28 多結晶シリコン層  
 \* 30 酸化タンタル膜

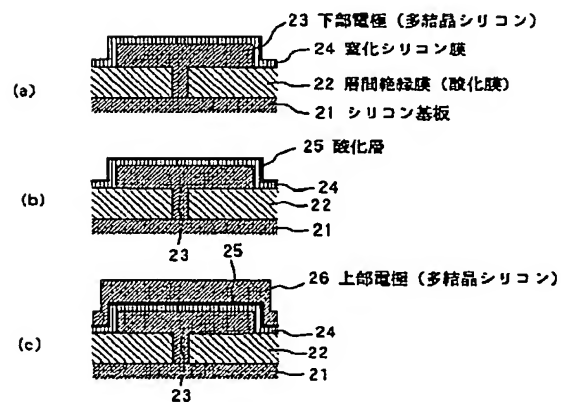
【図2】



【図4】

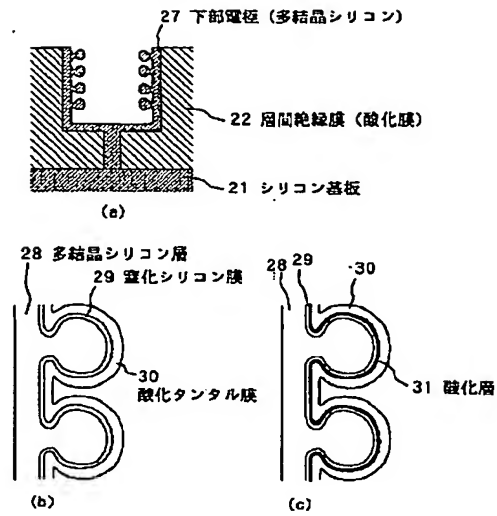


【図6】





【図7】



フロントページの続き

F ターム(参考) 5F058 BA11 BC02 BD01 BD04 BD05  
 BD10 BD15 BF54 BF55 BF60  
 BF63 BJ02  
 5F083 AD21 AD31 AD60 AD62 GA06  
 GA27 JA04 JA06 PR12